

doi:10.3969/j.issn.1673-9833.2019.02.007

基于 iOS 的高速存储电路设计与实现

陈德庆¹, 刘文生¹, 钟云飞^{1, 2}

(1. 深圳和宏实业有限公司, 广东 深圳 518040; 2. 湖南工业大学 包装与材料工程学院, 湖南 株洲 412007)

摘要: 为了解决 iOS 移动设备外部存储器件传输速度及存储容量的问题, 设计了一套适用 iOS 的外设高速存储电路。通过采用兼容 USB2.0 的数据高速传输和处理技术 USB3.1 标准, 以提高传输速度; 使用 Flash Raid 技术进行读写管理, 将 NAND 和 eMMC Flash 芯片的数据并行传输和管理技术进行集成, 实现双 Flash 芯片同步读写的双通道数据高速传输与存储, 并内置多种容错机制。实验结果表明, 重新设计的高速存储电路可适应和扩展外设存储容量, 还可提升读写速度, 其在 iOS 端的读写速度达到 25, 16 MB/s, 实现了 iOS 移动设备外部存储高速传输与存储目的。

关键词: 数据采集; 高速电路; NAND Flash; eMMC Flash; 双通道

中图分类号: TP333

文献标志码: A

文章编号: 1673-9833(2019)02-0038-05

引文格式: 陈德庆, 刘文生, 钟云飞. 基于 iOS 的高速存储电路设计与实现 [J]. 湖南工业大学学报, 2019, 33(2): 38-42.

A Design and Its Implementation of High-Speed Memory Circuit Based on iOS

CHEN Deqing¹, LIU Wensheng¹, ZHONG Yunfei^{1, 2}

(1. Shenzhen DNS Industries Co., Ltd., Guangdong Shenzhen 518040, China;

2. College of Packaging and Materials Engineering, Hunan University of Technology, Zhuzhou Hunan 412007, China)

Abstract: In view of the deficiency found in the transmission speed and storage capacity of the external storage device of iOS mobile devices, a set of peripheral high-speed memory circuits suitable for iOS has been designed. By adopting the high-speed data transmission processing technology that meets USB3.1 standard requirement, which is also compatible with USB 2.0 standard, the transmission speed can be improved. Flash Raid management technology is to be applied for the integration of NAND and eMMC Flash chip data parallel transmission management, thus realizing the high-speed transmission and storage of dual-channel data with dual Flash chips reading and writing synchronously, as well as built-in multiple fault-tolerant mechanisms. The experimental results show that the redesigned high-speed storage circuit can adapt and expand the peripheral storage capacity, and improve the speed of speaking, reading and writing on the iOS terminal, with a speed as high as 25, 16 MB/s, thus achieving the purpose of high-speed transmission and storage of external storage in iOS mobile devices.

Keywords: data acquisition; high-speed circuit; NAND Flash; eMMC Flash; binary channels

收稿日期: 2018-04-12

基金项目: 深圳市科技研发基金资助项目 (JSGG20160329153006319)

作者简介: 陈德庆 (1964-), 男, 上海人, 深圳市和宏实业股份有限公司总裁兼技术总工程师, 硕士, 主要研究方向为电子技术, E-mail: chendeqing@126.com

通信作者: 钟云飞 (1975-), 男, 湖南慈利人, 湖南工业大学教授, 硕士, 主要从事计算机应用技术的教学与研究, E-mail: yfzhong@hut.edu.cn

0 引言

随着电子信息技术和移动互联网的快速发展, 移动端的数据传输与存储成为日常通信领域中不可缺少的一个环节, 消费者对移动端的信息传输与存储容量的需求也越来越大。iOS 系统是由苹果公司开发的移动操作系统, 是目前移动端主流系统之一, 开发适用与 iOS 外接的高速大容量存储器件成为一种必然趋势。

NAND Flash 作为目前市场大部分的存储系统存储介质, 具有非易失性、存储密度较大、功耗较低、可靠性较高等优点, 已经逐渐成为当前存储技术研究和应用的热点^[1-3]。但是单通道 NAND Flash 的数据存储容量小, 很难满足现在移动端设备大容量存储的需求。

针对以上问题, 本文对 iOS 高速存储设备及其电路设计进行研究, 设计能适应 iOS 系统的大容量、高速数据传输和存储方案。通过采用 USB3.1 高速数据传输技术, 集成 NAND 和 eMMC (embedded mullti media card) Flash 的双通道阵列技术, 对存储系统进行系统结构的优化与调整, 优化控制器的控制算法, 提升高速存储设备传输带宽, 实现芯片级 Flash Raid0 和 Raid1 管理, 在扩展存储容量的同时, 成倍提升数据读写速度。

1 NAND 和 eMMC Flash 控制器及双通道控制技术

NAND Flash 是一种需要在外部加主控和电路设计才能实现数据读写的存储介质, eMMC 的存储核心是 NAND Flash, 是在封装中集成了主控 IC, 在提供标准接口的同时管理闪存, 简化了电路设计。采用双通道并行控制机制可显著提高存储容量和数据传输带宽。

1.1 NAND Flash 芯片

作为存储系统的核心部件, NAND Flash 存储芯片的性能将直接决定整个存储系统的性能。NAND Flash 芯片的存储单元由块和页组成, 以页为单位进行存储和读取, 其状态、数据和命令传输都通过 8 bit 总线分时复用完成, NAND 接口时序较复杂, 需要 NAND 控制器来实现对 NAND 的控制, 控制器和 NAND 存储器之间的共享总线称为通道, 所以 NAND 控制器又称为通道控制器^[4]。

1.2 eMMC Flash 芯片

eMMC 采取同一 MMC 接口标准, 将 NAND 和 MMC Controller 在 BGA (ball grid array) 芯片中封装。

针对 Flash 的特征, 其模块已包含 Flash 管理技术: 错误探测和纠正、Flash 平均擦写、坏块管理、掉电保护等^[5]。针对移动设备, 将 NAND Flash 芯片和控制芯片设计成 1 颗 MCP (multiple chip package) 芯片, 该设计简化了内存储器使用, 使其能以高吞吐率传输大型数据, 同时可以兼顾小型随机数据的读写性能。eMMC 结构由一个小型 BGA 封装嵌入式存储解决方案组成, 其自带 MMC 接口、快闪存储器设备及主控制器, 接口速度高达 52 MB/s, 具有快速、可升级的性能^[6]。

1.3 双通道并行控制机制

由于目前 NAND Flash 的数据线与地址线复用, 其中数据线的 8 bit, 约能达到 3 MB/s 的写入速度和 25 MB/s 的读取速度, 这样的低速数据传输效率明显无法满足现在的需求。目前, 在采用多通道同时并行的控制操作时, 将多片 NAND Flash 芯片的数据总线并行扩展, 采用类似 RAID 的存储技术^[7], 可使存储器的读写带宽得到极大提升, 如图 1 所示为双通道 NAND Flash 存储芯片组成的存储阵列架构。

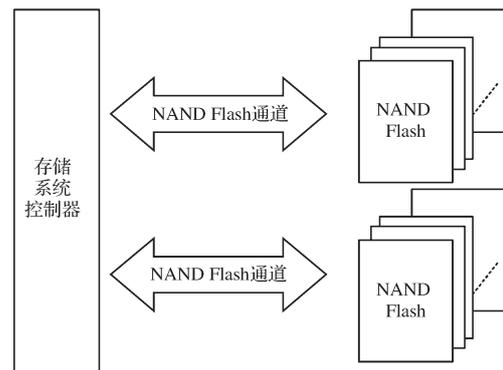


图 1 双通道 NAND Flash 存储阵列架构

Fig. 1 Dual channel NAND Flash storage array architecture

双通道并行控制机制中的存储目标由一片 NAND Flash 芯片, 转变为两片并行复用的 NAND Flash 芯片, 并通过 Flash Raid0 和 Raid1 管理, 控制数据的写入、存储、容错等, 最终形成双通道 NAND Flash 存储阵列结构, 可使存储容量成倍扩增。同时, 每个 NAND Flash 存储复用组采用的总线拓宽技术与 NAND Flash 阵列的并行流水控制技术, 显著地提高了大容量存储系统的数据传输带宽。

2 基于 iOS 的双通道高速存储电路设计

2.1 芯片系统总体方案设计

本设计所采用的芯片采取模块化处理进行系统功能设置, 使芯片具有高速传输、大容量存储、较强

的可移植性、扩展性等功能。芯片系统各模块组成如图 2 所示。

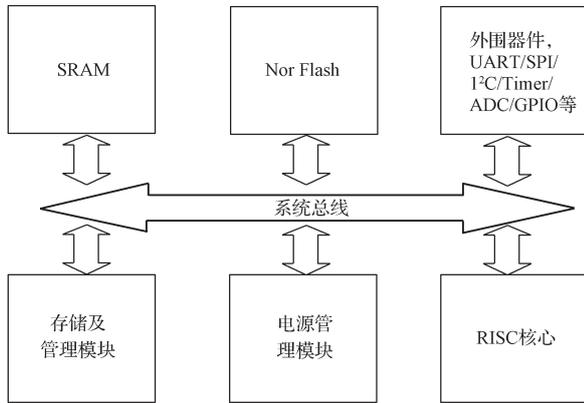


图 2 芯片系统框图

Fig. 2 Chip system block diagram

芯片的数据存储和管理使用 eMMC5.1 标准，且设计了多种容错机制，做到同时兼容 Flash 存储与外置 TF (trans-flash) 卡。此外，芯片内部封装电源管理模块、SRAM 和 Nor Flash，以节约布板空间，节省 BOM 成本，降低布板与生产难度。

2.2 NAND 和 eMMC Flash 双通道高速存储电路设计

本设计采用流水线方式，在双通道架构的通道内部使 2 个 Flash 芯片共用总线，在其中一片 Flash 芯片工作时，对另一片 Flash 芯片进行读、写等操作，在时间上实现数据总线的复用，缩短 Flash 阵列的等效操作时间，最大限度地减少单个 Flash 占用总线时间，使得 Flash 阵列整体读写速度得到提升^[8-10]。

2.2.1 电路特性

双通道存储电路中各电源的绝对最大额定参数如表 1 所示。

表 1 绝对最大额定参数

Table 1 Absolute maximum ratings

| 名称 | 参数 | 数值范围 |
|------------------------|------------|------------|
| VDDA、VDDR、VDDC、VDDIO/V | 1.2 V 电源电压 | -0.30~1.54 |
| VDD33O、VDD33U/V | 3.3 V 电源电压 | -0.3~4.0 |
| VDD5SW/V | 5.0 V 电源电压 | -0.3~5.5 |
| 存储环境温度 /°C | T 存储 | -40~150 |

电路中数字 IO 的直流特性如表 2 所示。

表 2 数字 IO 直流特性

Table 2 DC Characteristics for Digital IO

| 符号 | 参数 | 最小值 | 最大值 |
|------------|-------|-----|-----|
| V_{IH}/V | 输入高电平 | 2.0 | 3.6 |
| V_{IL}/V | 输入低电平 | | 0.8 |
| V_{OH}/V | 输出高电平 | 2.4 | |
| V_{OL}/V | 输出低电平 | | 0.5 |

2.2.2 启动和复位计时设计

本研究中电路的设计，外部电路设计规则、启动和重置计时规则如图 3 所示。其中：

T_1 为从 0~5 V 的 5 V 电源轨道重置计时；

T_2 为从 0~2.7 V 的 3.3 V 电源轨道重置计时；

T_3 为延迟从 5 V 电源到 3.3 V 电源电压达到 2.7 V 的时间；

T_4 为从 0~1.2 V 的 1.2 V 电源轨道重置计时。

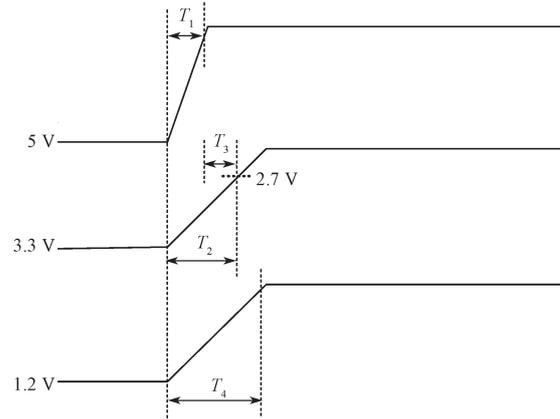


图 3 启动和重置计时规则

Fig. 3 Start-up and reset timing

本研究电路中建议使用的启动时序和计时要求如表 3 所示。

表 3 启动和复位计时要求

Table 3 Start-up and reset timing requirement

| 时间 | 最短时间 /ms | 最长时间 /ms |
|-------|----------|----------|
| T_1 | 0.01 | 1.0 |
| T_2 | 0.01 | 1.0 |
| T_3 | 0.01 | 0.2 |
| T_4 | 0.01 | 1.0 |

2.2.3 双通道电路设计

为适用于移动 iOS 设备，保证用户体验，本研究中的双通道电路在设计时不使用外置电源，而是通过使用 iOS 设备所提供电源，降低电路功耗。本研究芯片双通道高速存储电路见图 4。图中 VBUS 为系统供电脚，电压通过 Lightning 接口获取 iOS 设备电池电压，芯片内置 LDO (low dropout regulator) 对外提供 3.3 V 和 1.8 V 稳压电源。Pin1 和 Pin 两个终结模式 GPIO (general purpose input output) 分别为 iOS 设备和 PC 连接检测脚，分别用于探测当前所连接设备，从而进入不同工作模式。I²C (inter-integrated circuit) 接口用于连接身份认证芯片，提供 iOS 系统连接时所要求的身份确认与授权。EMMC_D0~EMMC_D7 提供两路 MMC 接口，可以同时连接两路 MMC 设备，具体功能由固件来实现。

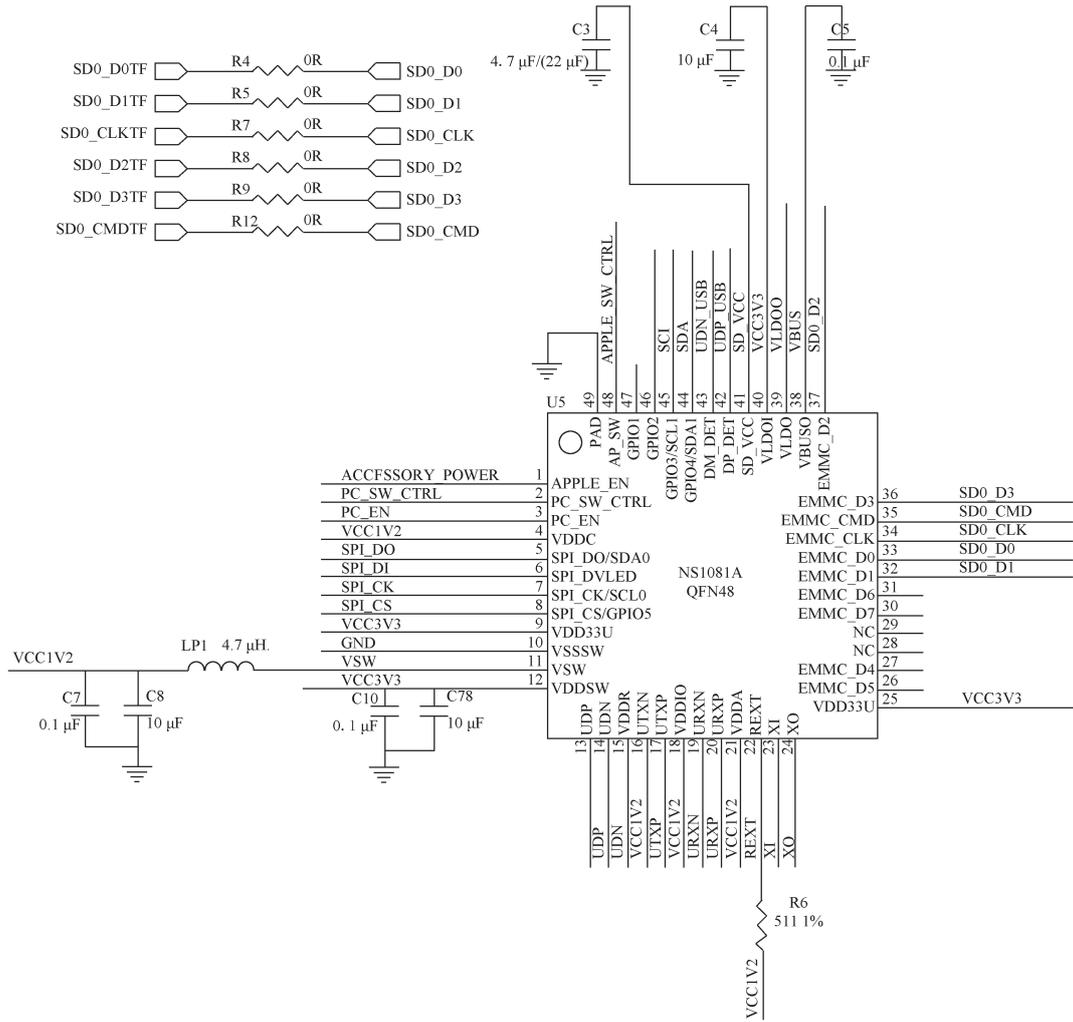


图 4 双通道芯片电路

Fig.4 Dual channel chip circuit

3 仿真及测试

通过仿真器对双通道控制芯片设计方案进行 FPGA 仿真, 再进行芯片封装。芯片封装了定制的精简指令集核心, 以达到在高速处理数据的同时降低功耗的目的, 且在系统内部封装高精度振荡器, 以减少外围器件, 降低总体 BOM 成本, 减小产品 PCB 尺寸。

3.1 仿真

为了验证电路设计的可靠性, 采用 ModelsimSE 和 Navos 公司的 Debussy 软件作为软件仿真平台, 验证本系统内关键的 USB 物理收发器 (port physical layer, PHY) 模块、AES (advanced encryption standard) 加解密模块、SIE (serial interface engine) 模块、eMMC 接口模块、高速 51 控制内核等关键模块的功能与信号质量。最终采用基于 XILINX 公司的 FPGA 芯片 XC7VX485T 开发板作为本系统核心芯片的硬件仿真平台, 进行芯片级仿真验证。仿真数据显示, 芯

片的信号输出质量高于目标设计。最终得到的适用 iOS 的高速存储产品的系统框图 5 所示。

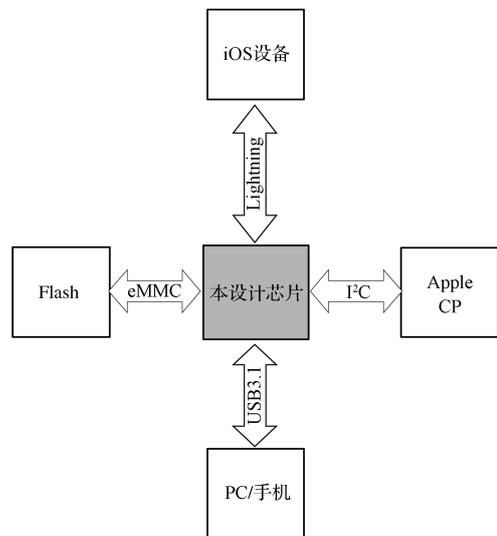


图 5 产品系统框图

Fig. 5 Product system block diagram

3.2 测试及结果分析

适用 iOS 的高速存储产品读写速度、工作电流、

静态电流等测试结果如表 4 所示。

表 4 高速存储产品测试结果

Table 4 Test results of high-speed storage products

| 项目 | 测试条件 | 测试标准 | 样品 1# | 样品 2# | 样品 3# | 样品 4# | 样品 5# |
|--------|-----------------------------|-----------------------|--------------------------|--------------------------|----------------------------|--------------------------|--------------------------|
| 读写速度测试 | 联想 E450, Benchmark 软件 | 读、写速度为 80, 60 MB/s 以上 | 读: 84 MB/s 写: 72 MB/s | 读: 86 MB/s 写: 73 MB/s | 读: 83 MB/s 写: 71 MB/s | 读: 88 MB/s 写: 72 MB/s | 读: 85 MB/s 写: 70 MB/s |
| | iPhone 进行速度测试, WitStick APP | 读、写速度为 25, 16 MB/s 以上 | 读: 28 MB/s 写: 16 MB/s | 读: 30 MB/s 写: 18 MB/s | 读: 30 MB/s 写: 17.6 MB/s | 读: 32 MB/s 写: 20 MB/s | 读: 27 MB/s 写: 18 MB/s |
| 工作电流测试 | PC 端做写入数据测试电流 | 500 mA 以下 | 380 mA | 400 mA | 320 mA | 300 mA | 460 mA |
| | iPhone5 连接时工作电流 (与 App 通讯) | 100 mA 以下 | 87 mA | 92 mA | 92 mA | 97 mA | 90 mA |
| 静态电流测试 | PC 端不工作电流 (不含充电) | 30 mA 以下 | 26 mA | 28 mA | 28 mA | 26 mA | 28 mA |
| | iPhone 工作电流 | 28 mA 以下 | 18 mA | 20 mA | 22 mA | 20 mA | 28 mA |

表 4 所示数据显示, 该产品在 PC 端的读写速度能达到 80, 60 MB/s; 在 iOS 设备 (USB2.0) 端的读写速度能达到 25, 16 MB/s, 读写性能显著提高。

4 结语

集成 NAND 和 eMMC Flash 的双通道高速存储系统设计方法, 采用具有高度并行性的多通道存储系统结构, 利用通道间流水和通道内交织的两级并行访问方法, 有效地减小了读取闪存延迟和编程时间对系统吞吐量的影响, 改善了闪存系统存取性能, 在经济效益、社会效益上都有很大提升, 提高了集成电路行业的发展和产品的国际竞争力。

参考文献:

- [1] LI T, LEI Z. A Novel Multiple Dies Parallel NAND Flash Memory Controller for High-Speed Data Storage[C]//2017 13th IEEE International Conference on Electronic Measurement & Instruments (ICEMI). Yangzhou: IEEE, 2017: 6-11.
- [2] CAI Y, GHOSE S, LUO Y X, et al. Vulnerabilities in MLC NAND Flash Memory Programming: Experimental Analysis, Exploits, and Mitigation Techniques[C]//2017 IEEE International Symposium on High Performance Computer Architecture (HPCA). Austin: IEEE, 2017: 49-60.
- [3] 李 晴. 高速大容量 NAND FLASH 存储系统的设计与实现 [D]. 北京: 北京理工大学, 2015.
LI Qing. The Design and Realization of a High Speed and Large Capacity NAND FLASH Storage System[D]. Beijing: Beijing Institute of Technology, 2015.
- [4] 周之丽. 基于 Nand Flash 的大容量存储装置的设计与研究 [D]. 太原: 中北大学, 2015.
ZHOU Zhili. The Design and Research of Large-Capacity Device Based on Nand Flash[D]. Taiyuan: North University of China, 2015.
- [5] 王 凯, 王笑强. 基于 eMMC 芯片安卓智能手机数据直

读技术研究 [J]. 信息安全研究, 2016, 2(4): 317-323.

- WANG Kai, WANG Xiaoqiang. Research on Data Reading Technology of Android Smart Phone Based on eMMC[J]. Journal of Information Security Research, 2016, 2(4): 317-323.
- [6] 刘宝文. 基于 eMMC 的高速大容量存储卡研制 [D]. 哈尔滨: 哈尔滨工业大学, 2015.
LIU Baowen. Development of High-Speed and Large-Capacity Storage Card Based on eMMC[D]. Harbin: Harbin Institute of Technology, 2015.
- [7] 秦国杰, 谢 民, 高梅国, 等. 基于内外两级并行的多通道闪存存储系统设计 [J]. 北京理工大学学报, 2013, 33(8): 841-847.
QIN Guojie, XIE Min, GAO Meiguo, et al. Multi-Channel Flash Storage System Using Two-Level Parallel Accessing Method[J]. Transactions of Beijing Institute of Technology, 2013, 33(8): 841-847.
- [8] 任 海, 刘伟亮, 唐振刚, 等. 一种高效的星载高速固态存储器坏块管理算法 [J]. 计算机测量与控制, 2018, 26(1): 242-247.
REN Hai, LIU Weiliang, TANG Zhengang, et al. An Efficient Bad Block Management Algorithm of Space Borne High-Speed Solid State Memory[J]. Computer Measurement & Control, 2018, 26(1): 242-247.
- [9] 高 阳, 王代华, 王晓楠. 存储测试系统中 FLASH 的存储可靠性技术研究 [J]. 现代电子技术, 2017, 40(18): 131-134, 138.
GAO Yang, WANG Daihua, WANG Xiaonan. Research on Stored Reliability Technology of FLASH in Storage Testing System[J]. Modern Electronic Technique, 2017, 40(18): 131-134, 138.
- [10] 周珍龙, 顾 彤, 王红兵. FPGA 的 eMMC 嵌入式阵列存储系统设计 [J]. 单片机与嵌入式系统应用, 2016, 16(4): 36-39.
ZHOU Zhenlong, GU Tong, WANG Hongbing. eMMC Embedded Array Storage System Based on FPGA[J]. Microcontrollers & Embedded Systems, 2016, 16(4): 36-39.

(责任编辑: 申 剑)