

# 基于FPGA的间接矩阵变换器的设计与实现

余岳, 罗华阳

(湖南铁路科技职业技术学院 电子电气系, 湖南 株洲 412003)

**摘要:** 针对间接矩阵变换器的控制要求, 提出了一种基于FPGA(现场可编程门阵列)的间接矩阵变换器的实现方法, 开发了一套间接矩阵变换器装置, 并以实验数据证明了该装置的有效性。

**关键词:** 间接矩阵变换器; 异步电动机; 调制策略; FPGA

中图分类号: TM46

文献标识码: A

文章编号: 1673-9833(2009)02-0066-03

## Design and Realization of Indirect Matrix Converter Based on FPGA

Yu Yue, Luo Huayang

(Department of Electronics and Electric, Hunan Railway College of Science and Technology, Zhuzhou Hunan 412003, China)

**Abstract:** In view of indirect matrix converter control requirements, an indirect matrix converter device based on FPGA (field programmable gate array) is developed. Experimental data proved the effectiveness of the device.

**Key words:** indirect matrix converter; asynchronous motor; modulation; FPGA

近年来, 由于矩阵变换器的性能优越, 日益受到研究者的重视, 成为电力变换器中的研究热点。随着对矩阵变换器研究的深入, 间接矩阵变换器的优点越来越受到研究者的重视<sup>[1]</sup>。它不仅能实现传统矩阵变换器的所有功能, 且有如下优点: 1) 控制容易, 电网侧的单桥可实现零电流开关, 负载侧开关控制类似于传统的DC/AC逆变器; 2) 箝位电路大大简化; 3) 间接矩阵变换器拓扑电路结构简单, 从而降低了系统成本。在交流调速系统中, 使用间接矩阵变换器驱动异步电动机, 一方面能够较好地实现传动性能, 另一方面也可以满足日益严格的电网电能质量的要求。因此, 将间接矩阵变换器应用于工业生产十分必要。

## 1 间接矩阵变换器的拓扑结构及调制算法分析<sup>[1]</sup>

### 1.1 间接矩阵变换器拓扑结构

图1为间接矩阵变换器的拓扑结构图。与传统矩阵变换器相比, 间接矩阵变换器开关器件数目减少

了, 整流级加逆变级一起只需15个IGBT和18个二极管, 并且根据不同的需要, 开关数量还可进一步减少。

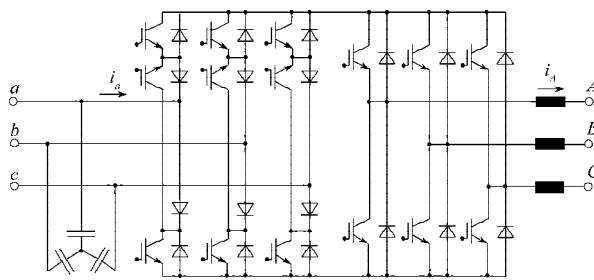


图1 间接矩阵变换器拓扑结构图

Fig. 1 Topological structure of indirect matrix converter

### 1.2 间接矩阵变换器调制算法分析<sup>[2]</sup>

#### 1.2.1 整流级PWM调制

为了保持在中间直流上正下负的同时, 并尽可能充分利用三相输入线电压, 以合成较大的直流电压, 将三相正弦输入电压划分为6个区间, 如图2所示, 每个区间内就有一相的绝对值最大, 另两相的电压极性与之相反。

收稿日期: 2008-12-09

基金项目: 湖南铁路科技职业技术学院基金资助项目(铁科职院[2009]1号)

作者简介: 余岳(1978-), 男, 湖南长沙人, 湖南铁路科技职业技术学院讲师, 主要从事电力电子及电力传动方面的研究,

E-mail: [usainty@gmail.com](mailto:usainty@gmail.com)

在整流级输入端为单位功率因数条件下, 整流级的调制策略可由下式表示:  $d_b = -\frac{\cos \theta_b}{\cos \theta_a}$ ,  $d_c = -\frac{\cos \theta_c}{\cos \theta_a}$ 。

其中,  $d_b$ ,  $d_c$  分别为 PWM 开关周期中的占空比。

其它区间占空比可用上述分析方法得到。

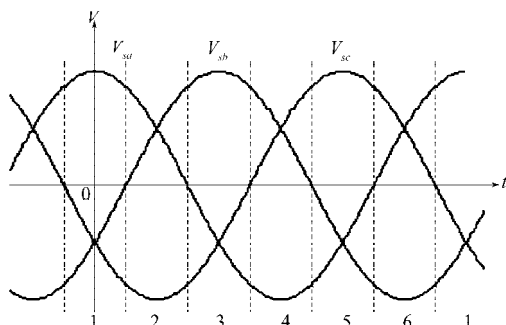


图2 整流分区

Fig. 2 Rectifier division

### 1.2.2 逆变级空间矢量调制

逆变级的结构与传统逆变器一样, 故可采用性能优良的空间矢量调制策略。由于整流级每一个开关周期分为两段, 为了协调好整流级和逆变级, 把逆变级每个开关周期也分为两段。

1) 在整流级区间 1 第一段时, 逆变级  $V_1$ 、 $V_2$  和  $V_0$  的占空比根据下式求得:

$$d_{2b} = d_2 \cdot d_b = d_2 \cdot \left( -\frac{\cos \theta_b}{\cos \theta_a} \right);$$

$$d_{1b} = d_1 \cdot d_b = d_1 \cdot \left( -\frac{\cos \theta_b}{\cos \theta_a} \right);$$

$$d_{0b} = d_0 \cdot d_b = d_0 \cdot \left( -\frac{\cos \theta_b}{\cos \theta_a} \right)。$$

2) 在整流级区间 1 第二段时, 逆变级  $V_1$ 、 $V_2$  和  $V_0$  的占空比根据下式求得:

$$d_{1c} = d_1 \cdot d_c = d_1 \cdot \left( -\frac{\cos \theta_c}{\cos \theta_a} \right);$$

$$d_{2c} = d_2 \cdot d_c = d_2 \cdot \left( -\frac{\cos \theta_c}{\cos \theta_a} \right);$$

$$d_{0c} = d_0 \cdot d_c = d_0 \cdot \left( -\frac{\cos \theta_c}{\cos \theta_a} \right)。$$

## 2 系统的结构与硬件设计

依据间接矩阵变换器调制算法的要求, 按照模块化设计的思想, 系统总体结构分为 3 大模块, 如图 3 中灰色框所示。

1) 采样板。采样板主要对三相交流输入电源进行信号变换处理。三相电压经过电压互感器降压, 然后输入至 LM324 电路, 得到过零点信号。调节 LM324 的输出, 使得该过零信号幅值符合 FPGA 的 IO 端口输入

0 ~ 3.3 V 的要求, 然后送入 FPGA 主板。

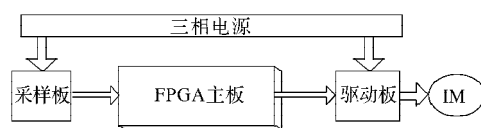


图3 系统总体结构框图

Fig. 3 Frame of system general structure

2) FPGA 主板。传统的设计方法<sup>[3,4]</sup>中, 在数据处理的环节上, 偏重于使用 DSP, 并以 DSP 结合 CPLD 的方法作为数据处理单元<sup>[21]</sup>。但是经过研究发现, 这种设计方法存在如下缺点: a) 一般的 DSP 的内部 ADC 效果不佳 (例如 DSPLF2407), 为满足系统精确采样要求, 需要外扩采样芯片或者直接采样过零点信号, 这样就失去了使用 DSP 的一个优点; b) 使用 DSP+CPLD 模式, 系统外围元件相对较多, PCB 面积相对过大; c) 对于复杂算法的运算, DSP 的运算速度远不如 FPGA。使用 FPGA 作为数据处理单元取代 DSP, 可使系统体积减小, 算法处理时间减少, 缩短开发周期。为了简化设计, 本套装置仍然采用采样过零点信号的方法获取三相电压的瞬时值。FPGA 根据采样板传送的过零点信号, 估计出当前电压的幅值。并且根据间接矩阵变换器的调制算法, 按照占空比计算公式计算出整流级和逆变级开关周期的占空比, 再将得到的占空比转换为时间的计数值送到计数器进行计数。完成计数后, FPGA 再将控制开关通断的信号传送到驱动板。FPGA 芯片选用了 Xilinx 公司的 XC2S200 器件。

3) 驱动板。驱动板的主要功能是接收 FPGA 传送的开关动作信号作用于开关器件。本套装置在开关器件的选择上, 选用集成度较高、可靠性较好的 IPM 模块 PM25RSK120, 通过适当的连接就可组合成图 1 所示的 15 个开关的间接矩阵变换器拓扑结构。由于 IPM 模块内部的 IGBT 自带驱动和保护电路, 使得驱动板主电路部分的设计大为简化。

## 3 系统软件设计

FPGA 在 ISE6.0 集成开发环境下设计软件: 使用 Verilog 硬件语言开发 FPGA 的软件; 使用 ModelSim5.6B 对 FPGA 进行仿真测试; 通过 Synplify7.1 对 FPGA 进行硬件综合。FPGA 的硬件功能框图如图 4 所示。

在一个 PWM 周期开始后, FPGA 将检测到的三相电源过零信号, 经过估算得到三相电压的瞬时值; 通过计算得到控制开关通断的占空比信号; 然后将占空比信号送入内部的一个双口 RAM, 再由占空比计数器读入。由于 FPGA 使用硬件进行运算, 所以运算速度极快, 这一过程远小于一个 PWM 周期, 因此 FPGA 有足够的时间准备好当前数据为下一个 PWM 周期计数。送入双口 RAM 的还有死区计数时间, 由于实际的物理开关存在

开关滞后的问题, FPGA 同时也对死区进行补偿。

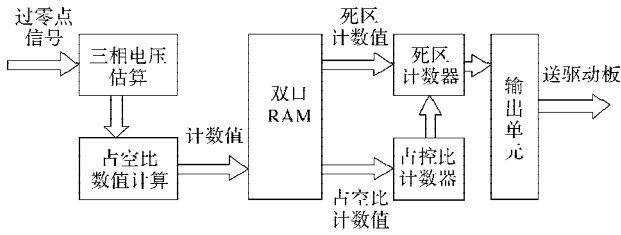


图4 FPGA 硬件功能框图

Fig. 4 Hardware function frame for FPGA

## 4 实验结果

根据上述设计方法设计的间接矩阵变换器, 当输入三相交流电压 60 V; 输入滤波器<sup>[5,6]</sup> $L = 1 \text{ mH}$ ,  $C = 10 \mu\text{F}$ ; 系统开关频率为 5 kHz; 异步电动机的额定功率为 750 W; 在给定电机转速为 1 000 rpm 时, 实验曲线如图 5 所示。

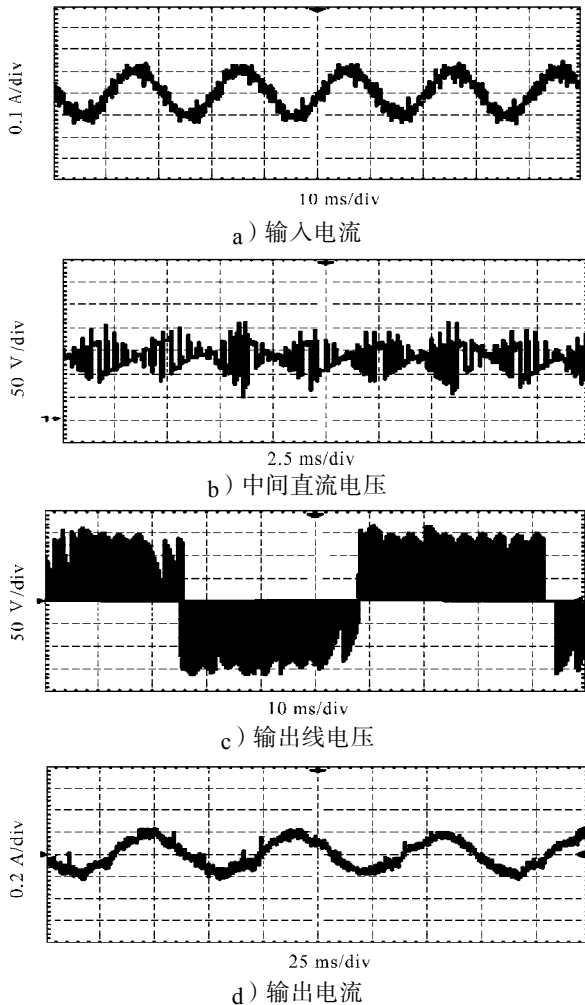


图5 间接矩阵变换器系统实验曲线

Fig. 5 System experiment curve of the indirect matrix converter

实验结果表明, 间接矩阵变换器输入电流基本上为正弦曲线; 输出线电压正弦脉冲宽度调制、电流正弦变化; 输入电流和输出电压中基波分量占绝对主要

成分, 具有优良的输入输出特性。

## 5 结论

基于 FPGA 的间接矩阵变换器, 不仅能够实现传统矩阵变换器的所有功能, 而且有功率开关器件相对较少、箝位电路大大简化、换流简单可靠、控制算法的复杂性降低等优点。间接矩阵变换器投入使用后, 能够提供满足异步电动机调速要求的高质量的正弦输出电压和电流, 使电网电源电压和电流保持正弦曲线状态, 且基本同相位, 这表明, 使用间接矩阵变换器驱动异步电动机, 一方面能够实现较好的传动性能, 另一方面也可满足日益严格的电网电能质量要求。

### 参考文献:

- [1] Kolar J W, Baunman M, Schafmeister F, et al. Novel Three-Phase AC-DC-AC Sparse Matrix Converter[J]. Proc. of APEC'02, 2002(2): 777-791.
- [2] 粟梅, 许新东, 李丹云, 等. 双级矩阵变换器驱动异步电动机的特性分析[J]. 中南大学学报: 自然科学版, 2005, 36(4): 658-663.  
Su Mei, Xu Xindong, Li Danyun, et al. Performance Analysis of Two-Stage Matrix Converter Driven Asynchronous Motor[J]. Journal of Central South University of Technology: Natural Science, 2005, 36(4): 658-663.
- [3] 粟梅, 余岳, 覃恒思, 等. 基于 DSP+CPLD 的双级矩阵变换器设计与实现[J]. 电力电子技术, 2007, 41(6): 1-3.  
Su Mei, Yu Yue, Qin Hengsi, et al. Design and Realization of Two-Stage Matrix Converter Based on DSP+CPLD[J]. Power Electronics, 2007, 41(6): 1-3.
- [4] 朱明, 鲁剑锋. 基于 DSP+FPGA 结构图像处理系统设计与实现[J]. 计算机测量与控制, 2004, 12(9): 866-869.  
Zhu Ming, Lu Jianfeng. Design and Implementation of Digital Image Processing System Based on DSP+FPGA Architecture [J]. Computer Automated Measurement & Control, 2004, 12(9): 866-869.
- [5] 粟梅, 孙尧, 覃恒思, 等. 一种改善矩阵变换器系统动态性能和稳定性的控制方法[J]. 电工技术学报, 2005, 20(12): 18-23.  
Su Mei, Sun Yao, Qin Hengsi, et al. Effect of the Input Filter on Stability of Matrix Converter Drive System[J]. Transactions of China Electrotechnical Society, 2005, 20(12): 18-23.
- [6] 粟梅, 覃恒思, 孙尧, 等. 矩阵变换器系统的稳定性分析[J]. 中国电机工程学报, 2005, 25(8): 62-69.  
Su Mei, Qin Hengsi, Sun Yao, et al. Stability Analysis of Matrix Converter Drive System[J]. Proceedings of the Csee, 2005, 25(8): 62-69.