

用 DSP 实现卷积编码

吴 韡

(湖南工业大学 电气与信息工程学院, 湖南 株洲 412008)

摘要: 分析了卷积编码器的结构与原理, 在此基础上设计了用 DSP 实现卷积编码的硬件和软件方案, 其中硬件部分采用了 TI 公司的 MS320C5510 芯片, 软件实现对一个 16 位的输入信号进行了卷积编码。

关键词: DSP; 信道编译码; 卷积编码

中图分类号: TN911.22

文献标志码: A

文章编号: 1673-9833(2009)03-0093-04

Implementation of Convolutional Coding with DSP

Wu Wei

(College of Electric and Information Engineering, Hunan University of Technology, Zhuzhou Hunan 412008, China)

Abstract: Analyses the structure and principles of convolutional code encoder. On the basis of it, designs hardware and software programs to realize convolutional encoding with DSP, in which the hardware part adopts TI's MS320C5510 chip and the software realizes 16 bits inputing signals encoding.

Keywords: DSP; channel codec; convolutional encoding

信道编译码是第三代移动通信最关键的技术之一, 对信道的编译码可以有效地降低移动通信系统的误码率, 从而达到提高移动通信系统可靠性的目的。而纠错编码是信道编译码中常用的一种技术, 卷积编码属于纠错码, 也是目前 CDMA 系统中最常用且最重要的信道编码之一, 卷积编码器是实现卷积编码的有效途径^[1]。早期的移动通信系统一般采用大量的与非门等复杂电路来实现卷积编码, 这样的电路体积大、功耗大、干扰大, 随着通信技术的发展, 出现了集成的 DSP (digital signal processing, 数字信号处理器) 芯片, 这些可编程 DSP 芯片在写入一些适当的程序后, 就可以代替相应的硬件电路, 从而大大地简化了原有的硬件电路, 因此研究用 DSP 芯片如何实现卷积编码对 CDMA 技术的发展具有重要意义。

1 卷积码的 Viterbi 算法

自从 Elias 提出卷积码概念后, 已发展了多种译码算法, 译码算法可以分成 2 大类, 即代数译码和概率

译码, 目前应用较为广泛的是概率译码, 特别是其中的 Viterbi 译码算法最为著名。Viterbi 算法就是卷积码的最大似然译码算法, 也就是说是一种最佳的译码算法, 也是本设计实现卷积编码所用的算法^[2]。

据图 1 所示, 如果从 S_0 状态出发的 2 条路径, 在某一状态汇合, 而且以后这 2 条路径一直复合在一起, 由于复合部分分支对于路径度量的贡献是相同的, 所以在汇合点上就可以删除掉这 2 条路径中复合之前路径度量较大的那一条, 因而在任何时刻, 对进入每一状态的所有路径只需要保留其中一条具有最小部分路径度量的路径, 这条被保留的路径称为幸存路径。由于卷积码的状态数为 2^m , 所以在任何时刻, 译码器最多仅需 2^m 条幸存路径, 同时保存这 2^m 条幸存路径所对应的路径度量。

对于 (2, 1, 2) 卷积码, 若接收到的二元对称信道数据输出序列为:

$$r = (00, 01, 10, 00, 00, 00, 00)$$

要求从网格图中选取一条最小似然路径。

收稿日期: 2009-02-26

作者简介: 吴 韡 (1982-), 男, 湖南株洲人, 湖南工业大学硕士研究生, 主要研究方向为电力电子技术及应用,

E-mail: 17690674@qq.com

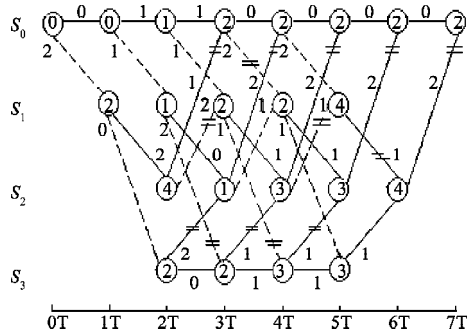


图1 Viterbi算法的示意说明

Fig. 1 The viterbi algorithm description

从图1可见,在2T状态点以后,每个状态都有2条路径进入,每条路径的部分路径度量都等于前一状态点出发状态的幸存路径度量与相应分支度量之和,比较这2个和,取其中最小的为幸存路径值,对应的路径为幸存路径。例如在4T状态点进入 S_0 状态的路径有2条,一条从3T状态点 S_0 通过一条分支度量为0的分支进入,另一条是从3T状态点 S_2 通过一条分支度量为2的分支进入^[3],这2条路径的部分路径度量为2和3,这里取其中较小者对应的为幸存路径,同时记下该状态点到达 S_0 状态的幸存路径值2(如果2条路径的部分路径度量相等,则任意保留其中一条)。对于4T状态点的其他状态 S_1 、 S_2 、 S_3 也是如法炮制,然后把状态点推进到5T,最后到7T状态点,抉择出一条幸存路径为:

$$S_0 \rightarrow S_0 \rightarrow S_0 \rightarrow S_0 \rightarrow S_0 \rightarrow S_0 \rightarrow S_0$$

也就是说判定发送的是全零序列,即:

$$m = (0, 0, 0, 0, 0, 0, 0)$$

2 卷积编码器的结构

在任何给定时刻卷积编码器的 n 个输出比特不仅和当前的 k 比特输入数据有关,而且和以前 M 个时刻的输入组有关,所以卷积码可用参数组 (n, k, M) 来描述,这时编码速率 $R=k/n$,一般来说,卷积码的 n 和 k 都比较小。消息数据经过串、并变换器后形成 k 比特一帧的并行数据送到线形逻辑单元,同时送入 M 级数据帧移位寄存器, M 是数据帧移位寄存器的存储深度,每读入1个新的数据帧,老的数据帧就向右移一帧。编码逻辑根据当前数据帧和存放在数据帧寄存器中的以前消息数据进行线形逻辑运算得到 n 比特的编码输出,再经过并、串变换成卷积编码器的串行输出, $K=M+1$ 称为该卷积码的约束长度。

图2所示卷积编码器的编码速率为 $R=1/2$,约束长度为 $K=3$ 。由于 $k=1$,因此每次只输入1比特,通过线性移位寄存器生成2比特输出,所以码率 $R=1/2$,这里 $M=2$,约束长度 $K=3$ 。

用 m 表示输入消息数据序列:

$$m = (m_0, m_1, m_2, \dots),$$

2个输出数据序列为:

$$V^{(1)} = (V_0^{(1)}, V_1^{(1)}, V_2^{(1)}, \dots),$$

$$V^{(2)} = (V_0^{(2)}, V_1^{(2)}, V_2^{(2)}, \dots),$$

经并、串变换的输出为:

$$V = (V_0^{(1)}, V_0^{(2)}, V_1^{(1)}, V_1^{(2)}, V_2^{(1)}, V_2^{(2)}, \dots)^{[4]}.$$

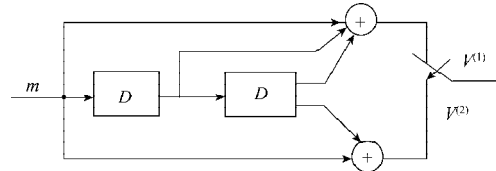


图2 一种(2, 1, 2)卷积码编码器

Fig. 2 A (2, 1, 2) convolutional code encoder

3 硬件电路设计

因为卷积码是对信道编码,所以输入信号是经过信源编码后的数字信号;DSP芯片相当于卷积编码器,经过卷积编码后的输出信号当然也是数字的。本设计选用目前功耗最低的TMS320C55x系列中的第一款芯片C5510^[5]。

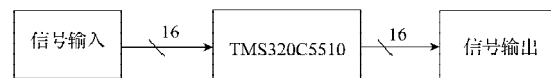


图3 主体电路方框图

Fig. 3 The main circuit block diagram

3.1 时钟电路设计

将外部时钟源直接输入 $X_2/CLKIN$ 引脚, X_1 悬空。可采用封装好的晶体振荡器,这种方法使用方便,因而应用广泛;只要在4脚上加3~5V电压,2脚接地,就可在3脚得到所需的时钟。

3.2 复位电路设计

为保证DSP可靠复位, \overline{RS} 引脚必须为低电平,且保持至少2个主频(CLKOUT)时钟周期。当复位发生时,DSP终止程序运行,并使程序计数器PC复位为0FF80H,地址总线也变为0FF80H,数据总线为高阻, \overline{PS} 、 \overline{MSTRB} 和 R/\overline{W} 等信号为高电平,所以本设计采用专用复位芯片MAX706组成的复位电路。

3.3 JTAG接口

JTAG是边界扫描机制,其原理是在芯片的输入/输出引脚内部安排存储单元,用来保存引脚状态,并在内部将这些存储单元连接在一起,通过一个输入脚TDI引入和一个输出脚TDO引出。仿真电缆和DSP的JTAG测试口的连接是通过一个14脚的插头座(仿真头)来实现的,当仿真器与DSP距离大于15.24cm(6英寸)时所采用的设计与2者距离小于15.24cm时的设计相比,后者只是比前者少了缓冲驱动器。

总体电路设计如图4。

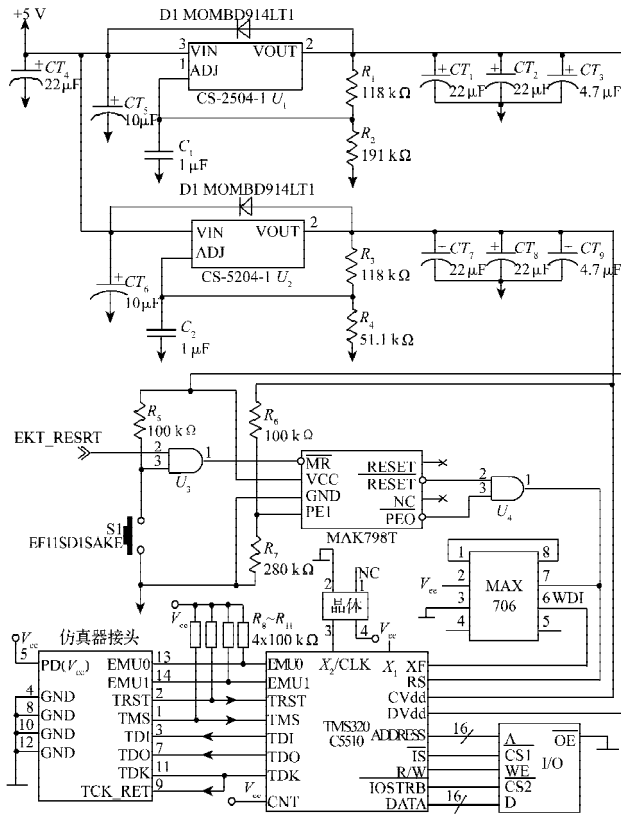


图4 总体电路设计图

Fig. 4 The overall circuit design diagram

4 软件设计

此处软件设计主要是针对(2, 1, 2)卷积码编码器的运行程序进行设计, 它的每位输入信号将产生2位输出信号。假设用 x 、 y_1 、 y_2 和 y_3 分别表示输入信号序列、输出信号奇数位序列、输出信号偶数位序列和输出信号序列, 而用 $x(n)$ 、 $y_1(n)$ 、 $y_2(n)$ 和 $y_3(n)$ 分别表示相应序列上的某一位数据, 其中 $n=0\sim 15$ 。根据式(1)~(5)可看出, $x(n)$ 对 $y_1(n)$ 、 $y_1(n-1)$ 、 $y_1(n-2)$ 和 $y_2(n)$ 、 $y_2(n-2)$ 共5位有异或影响, 将 $y_1(n)$ 和 $y_2(n)$ 分别放在 y_3 序列的奇数位和偶数位, 就可实现卷积编码输出; 因此, 对一个16位的输入信号进行卷积编码, 它的每一位数据都进行如下运算^[6], 其中 $n=15, 14, \dots, 2, 1, 0$ 。

$$y_1(n)=x(n) \oplus y_1'(n), \quad (1)$$

$$y_1(n-1)=x(n) \oplus y_1'(n-1), \quad (2)$$

$$y_1(n-2)=x(n) \oplus y_1'(n-2), \quad (3)$$

$$y_2(n)=x(n) \oplus y_2'(n), \quad (4)$$

$$y_2(n-2)=x(n) \oplus y_2'(n-2)。 \quad (5)$$

在上面的式子中, $y_1'(n)$ 、 $y_1'(n-1)$ 、 $y_1'(n-2)$ 和 $y_2'(n)$ 、 $y_2'(n-2)$ 分别表示 $y_1(n)$ 、 $y_1(n-1)$ 、 $y_1(n-2)$ 和 $y_2(n)$ 、 $y_2(n-2)$ 在进行运算前的数据, 运算结束后, $y_1(n)$ 和 $y_2(n)$ 分别是保存输出信号序列 y_3 上的奇数位和偶数位的数据。在输出时, 可以先取序列 y_1 和 y_2 的高8位数据有序地置于 y_3 序列中, 然后将 y_3 序列输出; 再取序列 y_1 和 y_2 的低8位数据也有序地置于 y_3 序列中, 又将 y_3 序

列输出即完成对一个16位输入信号序列的卷积编码。图5为源程序的流程图。

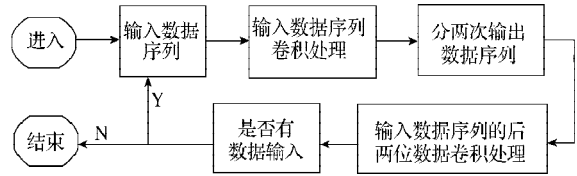


图5 程序流程图

Fig. 5 The flow diagram of procedures

相对应的源程序:

```

step0: STM table+2, @abc
      STM #15, BRC
      PORTR PA1, @x; 输入数据序列
      RPTB step1-1; 输入数据序列卷积处理
      LD @x, A
      AND @abc, A
      LD @y1, B
      XOR A, B
      XOR A, -1, B
      XOR A, -2, B
      STL B, @y1
      LD @y2, B
      XOR A, B
      XOR A, -2, B
      STL B, @y2
      LD @abc, B
      STL B, -1, @abc

.....
step3: PORTW @y3, PA0
      STM #y1, AR1; 输入数据序列的后2位数
      据卷积处理
      RPT #1
      MVPD table,*AR1+
      LD @x, A
      AND #2, A
      LD @y1, B
      XOR A, 14, B
      STL B, @y1
      LD @y2, B
      XOR A, 14, B
      STL B, @y2
      LD @x, A
      AND #1, A
      LD @y1, B
      XOR A, 14, B
      XOR A, 15, B
      STL B, @y1
    
```

LD @y₂, B
 XOR A, 14, B
 STL B, @y₂
 BC step0, @x; 有数据输入就进行转移,
 没有数据输入就结束。

5 结语

本设计采用 DSP 芯片来代替相应的复杂电路实现卷积编码,因为它只要在 DSP 芯片中写入相应功能的程序,即可以实现卷积编码。通过对硬件电路的设计和软件程序的编写,实现了在 CDMA 中的卷积编码。硬件电路实现卷积编码比较困难,随着移动通信技术的飞跃发展以及大规模逻辑器件的产生, DSP 将广泛地应用于通信领域,未来的 DSP 将朝着微型化、多集成性、功耗小等方向发展^[7]。

参考文献:

[1] 罗爱国. 基于 TMS320C54X 的 RS+ 交织+卷积的级联纠错码[J]. 单片机与嵌入式系统应用, 2004(3): 18-20.
 Luo Aiguo. TMS320C54X-Based Variable Texture+RS+ Convolutional Concatenated Error-Correcting Codes[J]. Microcontroller & Embedded System, 2004(3): 18-20.
 [2] 刘少阳, 邹永. (2,1,7)卷积编码及其维特比译码算法的软件实现[J]. 信息与电子工程, 2006, 4(6): 245-247.
 Liu Shaoyang, Zou Yong. Software Implementation of (2,1, 7) Convolutional Coding and Its Viterbi Decoding Algorithm [J]. Information and Electronic Engineering, 2006, 4(6):

245-247.
 [3] 安乐, 李实秋. Viterbi 译码器的应用及其硬件设计与实现[J]. 通信技术, 2008, 41(5): 26-28.
 An Le, Li Shiqiu. Hardware Implementation of Viterbi Decoder and Its Application[J]. Communications Technology, 2008, 41(5): 26-28.
 [4] 曹昌胜, 蔡青. 卷积编码及译码在数字通信系统中的仿真[J]. 通信与广播电视, 2006(3): 11-17.
 Cao Changsheng, Cai Qing. Simulation of Convolutional Encode and Decode in Digital Communication System[J]. Communication & Audio and Video, 2006(3): 11-17.
 [5] 韩非, 胡春海, 李伟. TMS320C6000 系列 DSP 开发应用技巧[M]. 北京: 中国电力出版社, 2008: 119-131.
 Han Fei, Hu Chunhai, Li Wei. TMS320C6000 DSP Development and Applications[M]. Beijing: China Electric Power Press, 2008: 119-131.
 [6] 赵义. TD-SCDMA 中卷积编码速率匹配算法在 ZSP500 DSP 核上的实现[J]. 黑龙江科技信息, 2007(24): 62.
 Zhao Yi. Realization of the Rate Matching Algorithm for Convolutional Coding in TD-SCDMA on ZSP500 DSP Core [J]. Heilongjiang Science and Technology Information, 2007 (24): 62.
 [7] 刘艳萍, 贾志成, 李志军, 等. DSP 技术原理及应用教程 [M]. 北京: 北京航空航天大学出版社, 2005: 113-125.
 Liu Yanping, Jia Zhicheng, Li Zhijun, et al. DSP Technology Principle and Application[M]. Beijing: Beijing University of Aeronautics and Astronautics Press, 2005: 113-125.

(责任编辑: 李玉珍)

声 明

据作者反映并经查证,有人在互联网用《湖南工业大学学报》期刊名发布约稿信息并作出稿件处理承诺,这是一种严重的欺骗行为。湖南工业大学期刊社郑重声明:本社 3 个学报(《湖南工业大学学报》、《湖南工业大学学报(社会科学版)》、《湖南冶金职业技术学院学报》)目前尚未在互联网上发布约稿信息和作出稿件处理承诺,作者据此投稿后果自负。征稿信息以正式刊登在我校上述 3 个学报上的征稿信息为准。

湖南工业大学期刊社网址: <http://www.hut.edu.cn/xb/>
 特此声明。

湖南工业大学期刊社
 2009年01月05日